

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 60-122442

(43)Date of publication of application : 29.06.1985

(51)Int.Cl.

G06F 12/02
G11C 7/00

(21)Application number : 58-229221

(71)Applicant : CANON INC

(22)Date of filing : 06.12.1983

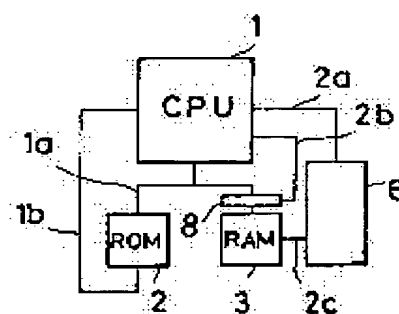
(72)Inventor : TAKEDA TAKASHI

(54) MEMORY PROCESSING UNIT

(57)Abstract:

PURPOSE: To attain high-speed memory access by simple programming by designating an address of a memory and conducting memory access by a counter controlled by a memory read/write signal of a controller.

CONSTITUTION: A data bus 1a is connected to an RAM3 via a latch 8. An IO address of a CPU1 is assigned to the latch 8 and selected by the CPU1 via a signal line 2b. That is, the CPU1 accesses the RAM via the latch 8 having a fixed IO address. On the other hand, an address bus 2c of the RAM3 is connected to an output of a counter 6, the counter 6 is incremented by 1 by a read/write signal of the memory via the signal line 2a and the address of the RAM3 is designated by the output.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

昭60-122442

⑬ Int.Cl.⁴

識別記号

庁内整理番号

⑭ 公開 昭和60年(1985)6月29日

G 06 F 12/02
G 11 C 7/006974-5B
6549-5B

審査請求 未請求 発明の数 1 (全4頁)

⑮ 発明の名称 メモリ処理装置

⑯ 特 願 昭58-229221

⑰ 出 願 昭58(1983)12月6日

⑱ 発 明 者 武 田 俊 東京都大田区下丸子3丁目30番2号 キヤノン株式会社内
 ⑲ 出 願 人 キヤノン株式会社 東京都大田区下丸子3丁目30番2号
 ⑳ 代 理 人 弁理士 加藤 卓

明 細 書

1. 発明の名称

メモリ処理装置

2. 特許請求の範囲

制御装置によりメモリ内容を順次アクセスするメモリ処理装置において、前記制御装置のメモリリード/ライト信号により制御されるカウンタ手段により前記メモリのアドレスを指定しメモリアクセスを行なうことを特徴とするメモリ処理装置。

3. 発明の詳細な説明

〔技術分野〕

本発明はメモリ処理装置に係り、さらに詳細にはデータ圧縮などメモリの高速アクセスに用いられるメモリ処理装置に関する。

〔従来技術〕

従来この種のメモリ処理装置は、第1図(A)に示すようにマイクロプロセッサなどから成る制御装置としてのCPU(中央演算処理装置)1にデータバス1a、アドレスバス1bを介

してROM(リードオンリメモリ)2およびRAM(ランダムアクセスメモリ)3を接続して構成されていた。このような構成では、CPU1がアドレスバス1bを介してROM2ないしRAM3のアドレスを指定することによりそのアドレスをデータバス1aを介してアクセスすることができる。

従来ではアクセスするアドレスは演算により決定された値、ないしは固定値をCPU1がアドレスバス1bを介して指定することになっている。たとえば、RAM3の内容を1番地ずつ順番に読み取り、その値を順次累積加算し、結果がある値aより小さい場合には次の番地を読み取り加算することを繰り返す、という処理を行なう場合には第1図(B)に示すようなプログラムをCPU1に実行させる。

ここではCPU1内のレジスタや、RAM3の所定番地などにRAM3のアドレスを指し示すポインタを設定しておく必要がある。ステップS10ではこのポインタの内容を1増加させる。

次にステップS11ではCPU1の演算用のレジスタに、そのレジスタの内容とポインタの示すアドレスの内容を加算したものを格納する（ここで「@アドレス」はそのアドレスの内容を示している）。そしてステップS12でレジスタの内容が所定値aよりも大きいかどうかを比較命令などにより判定し、このステップが肯定されない限りフラグによる条件分岐によりステップS10に戻るわけである。

このようなアドレスをインクリメントないしデクリメントしつつ順番にメモリをアクセスする処理は、コンピュータプログラミングにおけるごく一般的な処理であるが、従来では上記のようにいちいちポインタを設定しておき、CPU1にそれをインクリメントさせなければならなかった。したがって、決まりきったルーチンを書くプログラマーの手間が余計にかかるとともに、インクリメント命令をフェッチし実行する時間が処理時間に加算されるので、CPU1の負担が大きく処理時間が増大する、という欠点がある。これはファク

シミリ装置における画像データ処理など、大量のデータをメモリアクセスして処理する装置では問題である。

【目的】

本発明は以上の点に鑑みてなされたもので、簡略なプログラミングにより高速なメモリアクセスを行なえる簡単安価なメモリ処理装置を提供することを目的とする。

【実施例】

以下、図面に示す実施例に基づいて本発明を詳細に説明する。ただし、以下では従来例と同一ないし相当する部材には同一符号を付し、その詳細な説明は省略する。

第2図(A)に本発明のメモリ処理装置の構造を示す。ここではRAM3にはラッチ8を介してデータバス1aを接続する。このラッチ8はCPU1のIO（入出力）番地を割り当てておき、信号線2bを介してCPU1によりセレクトされるようになっている。すなわち、CPU1は固定のIOアドレスを有するラッチ8を介して

3

RAM3に対するアクセスを行なう。

一方RAM3のアドレスバス2cはカウンタ8の出力に接続されており、カウンタ8の入力には信号線2aを介してメモリのリード／ライト信号が接続されている。カウンタ8はリード／ライト信号により1ずつインクリメントされ、その出力によりRAM3のアドレスを指定するようになっている。

また、ROM2はデータバス1aおよびアドレスバス1bにより従来同様にCPU1に接続されている。

以上の構成によれば、第2図(B)に示すようなプログラムにより第1図(B)に示したのと同じ動作を行なうことができる。

第2図(B)のステップS20においては、CPU1の演算用のレジスタに、ラッチ8に割り当てられたIOアドレスの内容を加算する。この演算に含まれるメモリアクセスの際、リード／ライト信号によりカウンタ8が1インクリメントされるので、その直前のアクセスアドレスより1つ

4

先のアドレスがカウンタ8の出力により指定される。そして読み出されたデータはラッチ8によりラッチされているので、CPU1側では信号線2bによりIOアドレスをアクセスするだけでレジスタに対する加算を行なうことができる。

ステップS21では第1図(B)のステップS12におけるのと同様の判断ステップを実行し、このステップが否定された場合にはステップS20に戻り、上記の動作を再び行なう。このときにはリードライト信号によりカウンタ8がインクリメントされるためラッチ8には次のアドレスの内容がラッチされる。したがって、CPU1は次のRAM3のアドレスの内容を演算レジスタに加算することができる。

以上のようにして自動インクリメントによりRAM3の内容を次々にアクセスして処理することができる。その場合、CPU1は固定のIOアドレスを有するラッチ8をアクセスするだけでRAM3の所定アドレスを次々にアクセスできるので、第1図(B)のようなインクリメントス

5

6

テップを行なう必要がなく、プログラマーの負担を軽減できるとともにCPU1の処理速度を格段に高速化できる。また、ロードないし加算は従来のようなポインタを設定したインデックスアドレッシングを用いることなく、ダイレクトアドレッシングにより行なえるのでプログラムの大きさや、手間の点で非常に有利である。

このような構成は、特にRAM3にインクリメントないしデクリメントにより決った順でしかも高速でアクセスすべきデータが格納されている場合に非常に有利である。このような方式でアクセスされないRAMの他のアドレス領域には第1図(A)に示したような従来構成を混用してもよい。また、上記ではRAM3の内容をインクリメントにより次々に加算するプログラムを例示したが、デクリメントして演算する処理も同様の構成により行なうことができる。また、演算内容も、加算に限定されることなく、減算、転送など種々の演算を行なえる。さらに、RAM3からのロードないしロード操作を含む処理に限定されること

なく、RAM3に対する書き込み動作を行なうようにもできる。

第2図(A)、(B)に示した実施例ではRAMを1つしか例示しなかったが、CPU1に2つ以上のRAM3を接続する場合には第3図のような構成が考えられる。ここではRAMはRAM3aおよび3bの2つが設けられている。RAM3a、3bのアドレスバス2cはそれぞれカウンタ6a、6bの出力に接続されている。RAM3a、3bのデータバスに接続されたラッチ8a、8bはそれぞれ信号線2dおよび2eを介してセレクトされるようになっている。

カウンタ6aないし6bのインクリメントあるいはデクリメントは、アンドゲート10、11により信号線2aのリード/ライト信号と、上記の信号線2d、2eのセレクト信号の論理積をとって行なっている。

このような構成によれば、従来行なっていた2つのインクリメント動作を省略できるので、簡易なプログラミングにより、より高速な処理が可

7

能である。第3図の構成は、特にファクシミリ装置などにおけるMR(モデファイドリード)符号化などの2次元データ圧縮に必須なメモリの順次高速アクセスを行なう際に非常に有利である。

[効果]

以上の説明から明らかなように、本発明によれば、制御装置によりメモリ内容を順次アクセスするメモリ処理装置において、前記前記制御装置のメモリリード/ライト信号により制御されるカウンタ手段により前記メモリのアドレスを指定しメモリアクセスを行なう構成を採用しているため、簡単なプログラミング、小さなプログラムにより高速なメモリアクセスが可能な優れたメモリ処理装置を提供することができる。

4. 図面の簡単な説明

第1図(A)は従来のメモリ処理装置の構成を示すブロック図、第1図(B)は第1図(A)におけるプログラミングを説明するフローチャート図、第2図(A)は本発明のメモリ処理装置の一実施例を示すブロック図、第2図(B)は第2

8

図(A)におけるプログラミングの一例を示すフローチャート図、第3図は本発明のメモリ処理装置の異なる実施例を示すブロック図である。

- 1 ... CPU
- 2 ... ROM
- 3、3a、3b ... RAM
- 6、6a、6b ... カウンタ
- 8、8a、8b ... ラッチ
- 10、11 ... アンドゲート

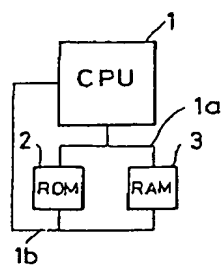
特許出願人 キヤノン株式会社
代理人 弁理士 加藤 卓



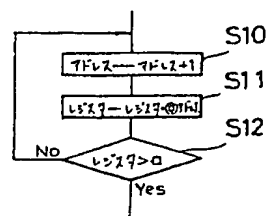
9

10

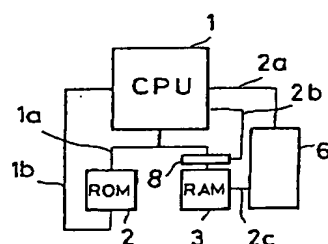
第1図(A)



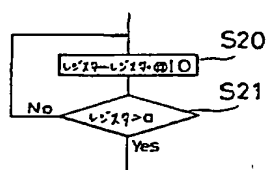
第1図(B)



第2図(A)



第2図(B)



第3図

